

MANUFACTURE OF SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE

Publication number: JP2000188388

Publication date: 2000-07-04

Inventor: NAKAJIMA KENJI; KANECHIKA MASAKAZU;
MITSUSHIMA KOICHI

Applicant: TOYOTA CENTRAL RES & DEV

Classification:

- International: H01J9/02; G01N13/12; H01J1/304; H01J29/04;
H01J31/12; H01L21/265; H01L21/302; H01L21/3065;
H01L29/06; H01L29/66; G01N13/12; H01L21/265;
H01J9/02; G01N13/10; H01J1/30; H01J29/04;
H01J31/12; H01L21/02; H01L29/02; H01L29/66;
G01N13/10; (IPC1-7): G01N13/12; H01L21/265;
H01L29/06; H01J1/304; H01J9/02; H01J29/04;
H01J31/12; H01L21/3065

- european:

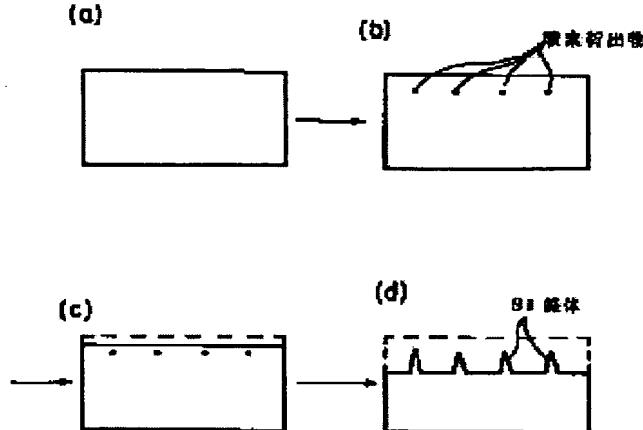
Application number: JP19990294509 19991015

Priority number(s): JP19990294509 19991015; JP19980313976 19981016

[Report a data error here](#)

Abstract of JP2000188388

PROBLEM TO BE SOLVED: To provide a cone whose aspect ratio is large and whose tip is thin, and to provide the manufacture method of the cone. **SOLUTION:** Impurity, for example, oxygen, is introduced to a silicon substrate or a silicon layer and it is heat treated. Thus, an impurity deposition region is formed and high selective ratio anisotropic etching is executed with the deposition region as a micromask. Thus, a substantially sharp and thin needle-like cone where the micromask is set to be a top, an aspect ratio is about 10 and a diameter near a tip is about 10 nm-30 nm is obtained. When a drive electrode, such as an insulating layer and a gate electrode, is formed around the cone, the cone can be used as a field electron discharge element, a high-frequency switch element and the probe of a scanning-type microscope.



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-188388

(P2000-188388A)

(43) 公開日 平成12年7月4日 (2000.7.4)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 01 L 29/06		H 01 L 29/06	
H 01 J 1/304		H 01 J 9/02	B
9/02		29/04	
29/04		31/12	C
31/12		G 01 N 13/12	D

審査請求 未請求 請求項の数 3 O L (全 9 頁) 最終頁に続く

(21) 出願番号	特願平11-294509	(71) 出願人	000003609 株式会社豊田中央研究所 愛知県愛知郡長久手町大字長湫字横道41番 地の1
(22) 出願日	平成11年10月15日 (1999.10.15)	(72) 発明者	中嶋 健次 愛知県愛知郡長久手町大字長湫字横道41番 地の1 株式会社豊田中央研究所内
(31) 優先権主張番号	特願平10-313976	(72) 発明者	兼近 将一 愛知県愛知郡長久手町大字長湫字横道41番 地の1 株式会社豊田中央研究所内
(32) 優先日	平成10年10月16日 (1998.10.16)	(74) 代理人	100075258 弁理士 吉田 研二 (外2名)
(33) 優先権主張国	日本 (JP)		

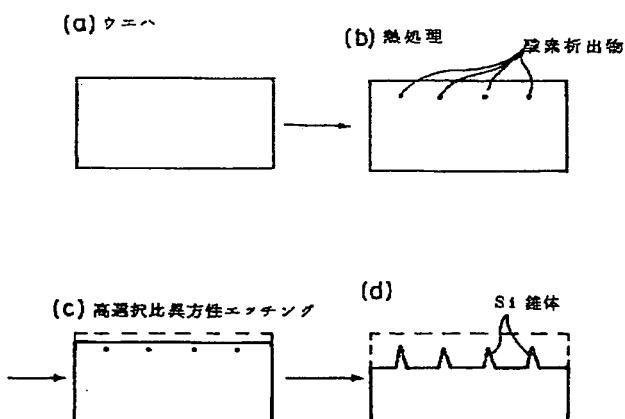
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法及び半導体装置

(57) 【要約】

【課題】 アスペクト比が大きく、先端の細い錐体及びその錐体の製造方法の提供。

【解決手段】 シリコン基板或いはシリコン層中に不純物、例えば酸素を導入し、熱処理することにより不純物析出領域を形成し、この析出領域をマイクロマスクとして高選択性異方性エッティングを行う。これにより、マイクロマスクを頂点とし、アスペクト比が10程度で、先端付近の直径が10nm~30nm程度の非常に鋭く細い針状の円錐等の錐体が得られる。錐体の周囲に絶縁層やゲート電極等の駆動電極を形成すれば、この錐体を電界電子放出素子や、高周波スイッチ素子、走査型顕微鏡の探針などに利用できる。



高選択性異方性エッティングによる Si 锥体 形成原理模式図
(ウエハを断面から見たところ)

FP05-0100-
0000-SE
'05.7.05
SEARCH REPORT

【特許請求の範囲】

【請求項 1】 半導体材料基板又は半導体材料層の所定位置に不純物を導入して不純物析出領域を形成し、

前記不純物析出領域をマイクロマスクとして前記材料基板又は前記材料層に対して高選択比異方性エッティングを行い、前記材料基板又は前記材料層のエッティング露出面にマイクロマスク部分を頂点とする錐体を形成することを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 に記載の半導体装置の製造方法において、

前記析出領域は、

前記材料基板又は材料層の主成分材料と異なるエッティングレートを備え、

前記材料基板又は前記材料層の所定位置に導入した不純物を熱処理によって前記材料基板又は前記材料層の結晶中に析出させて形成したことを特徴とする半導体装置の製造方法。

【請求項 3】 半導体材料基板又は半導体材料層の所定位置に形成された不純物析出領域をマイクロマスクとして該材料基板又は材料層を高選択比異方性エッティングして形成した錐体が、

前記不純物析出領域を頂点とし、かつ、先端付近の曲率半径が数 nm～十数 nm 又は先端付近の直径が概ね 10 nm～30 nm で、アスペクト比がおよそ 10 又はそれ以上の錐体形状を備えることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、高アスペクト比で微細な錐体であり、例えば電界電子放出素子 (FED : field emission device(display))、量子効果デバイス、高周波デバイス、走査型顕微鏡の探針等に利用可能な錐体に関する。

【0002】

【従来の技術】半導体基板上に μ m オーダー以下の微小な突起を形成し、この突起を電子放出源等に用いることが従来より提案されている。この微小突起の作製方法として、従来、シリコン基板の特定結晶面をウエットエッティングによってエッティングすることで、図 2 (a) に示すような円錐を形成することが知られていた。また、

『低電圧化シリコン微構造電子源』(堀和義他、信学技報 : ED94-95, P1-6) には、図 2 (b) に示されるようなタワー状突起の作製方法が示されている。図 2 (b) に示すこのタワー状突起は、シリコン基板上にフォトリソグラフィによってマスクを形成し、このマスクを用いて、まず該シリコン基板を異方性ドライエッティングし柱状構造を形成する。次に、得られた柱状構造に対して異方性ウエットエッティングを施すことで、柱状構造の先端部分を円錐形状として尖らせて構成している。

【0003】また、『Fabrication of Metal-Oxide-Sem 50

iiconductor Field-Effect-Transistor-Structured Silicon Field Emitters with a Polysilicon Dual Gate』(Jpn. J. Appl. Phys. Vol. 36 (1997) pp. 7736 - 774

0) 等には、シリコン基板上にフォトリソグラフィによりマスクを形成し、これを用いて基板を等方性ドライエッティングすることで、図 2 (c) のような突起を基板上に形成することが記載されている。

【0004】

【発明が解決しようとする課題】上述のような微細な突起を例えればデバイスの電子放出源等に適用する場合、良好なデバイス特性を得るためにには、突起先端の曲率半径が小さくかつアスペクト比が大きいことが好ましい。先端曲率半径が大きいと電子放出抵抗が高く、その上ゲートなどの駆動電極との間の寄生容量が大きくなり、低電圧動作が困難であるためである。また、突起先端のみの曲率半径が小さくても、突起のアスペクト比が小さいと、突起底面積が大きくなり、半導体デバイスとしての集積度向上が図れず、また上述のような寄生容量を増大させる原因ともなる。従ってアスペクト比が大きい突起が望まれる。

【0005】ところが、例えば、図 2 (a) 及び図 2 (c) 等に示す突起では、突起の先端直径は 100 nm～300 nm、突起の底角は 30° 程度であり、アスペクト比で 1 程度の突起しか作製することができなかつた。また、図 2 (b) の突起は、突起先端の曲率半径を 5 nm 以下とできることが上記文献中に記載されているが、突起の底角は図示するように 30° 程度であり、図 2 (a) に示す突起の底面積と同程度を占有してしまう。

【0006】このように従来の作製方法では、先端が鋭くかつ底面積の小さな高アスペクト比の突起を形成することができなかつた。

【0007】本発明は、鋭い形状の錐体の提供及びそのような錐体に適した製造方法を提案することを目的とする。

【0008】

【課題を解決するための手段】上記目的を達成するためには、本発明に係る半導体装置の製造方法では、半導体材料基板又は半導体材料層の所定位置に不純物を導入して不純物析出領域を形成し、前記不純物析出領域をマイクロマスクとして前記材料基板又は前記材料層に対して高選択比異方性エッティングを行い、前記材料基板又は前記材料層のエッティング露出面にマイクロマスク部分を頂点とする錐体を形成することを特徴とする。

【0009】本発明の他の特徴は、上記半導体装置の製造方法において、前記析出領域は、前記材料基板又は材料層の主成分材料と異なるエッティングレートを備え、前記材料基板又は前記材料層の所定位置に導入した不純物を熱処理によって前記材料基板又は前記材料層の結晶中に析出させて形成することである。

【0010】また、本発明に係る半導体装置では、半導体材料基板又は半導体材料層の所定位置に形成された不純物析出領域をマイクロマスクとして該材料基板又は材料層を高選択比異方性エッティングして形成した錐体が、前記不純物析出領域を頂点とし、かつ、先端付近の曲率半径が数nm～十数nm又は先端付近の直径が概ね10nm～30nmで、アスペクト比がおよそ10又はそれ以上の錐体形状を備えることを特徴とする。

【0011】このような本発明に係る微小な錐体（例えば円錐）は以下のような原理に基づき形成される。図1は、錐体形成原理を示している。半導体材料基板（以下の説明ではシリコン基板を例にする）には、不純物として例えば酸素が導入されている。なお、本発明において不純物とは、材料基板又は材料層の主成分と異なる元素を意味する。但し該主成分が複数の元素を有する場合には、その内的一部のみの元素も本発明で不純物を意味する。

【0012】このような酸素が導入されたシリコン基板に対し熱処理を行うと、酸素が導入されていた領域には不純物析出領域として酸素析出領域（言い換えると、酸素析出欠陥 SiO_2 ）が形成される（図1（a）→（b）参照）。熱処理後、このシリコン基板に対し SiO_2 選択比の大きい条件で異方性エッティングを施すと、 Si 結晶とエッティングレートの異なる（ここでは、 Si 結晶よりもエッティングされ難い）酸素析出物がマイクロマスクとなり、このマスクを頂点として Si 錐体がエッティング露出面に形成される（図1（c））。

【0013】異方性エッティングは、例えば、シリコン基板又はシリコン膜中の酸素析出領域をマイクロマスクとする場合、ハロゲン系（Br、Cl、F）ガスを含むガスを用いてドライエッティング（例えば反応性イオンエッティング）により行うことができる。この様な条件でエッティングすれば、図1（c）のような酸素析出領域を頂点とした錐体が得られる。

【0014】このような原理により得られる本発明に係る錐体は、上述のようにその先端付近の曲率半径が数nm～十数nmで、アスペクト比が10程度の非常に細長い針状の錐体である。また、錐体の底角は、例えば80°程度或いはそれ以上と極めて大きくすることができ、更に錐体の高さを数μm程度とすることも可能である。

【0015】本発明において、錐体のアスペクト比は、例えば上記異方性エッティングに用いる混合ガスの混合比などを制御することによって10以上とできる。但し、必要に応じて10より小さくすることも可能である。

【0016】また、本発明では、エッティング条件が同じであれば、複数の不純物析出領域をそれぞれマイクロマスクとして得られる複数の錐体の底角は一定となり、各錐体は相似形状となる。そこで、例えば、不純物析出領域の平面位置及び深さ位置が所望位置となるように該領域を形成することで、半導体材料基板又は半導体材料層

10 中の所定位置に、鋭くかつ同じ形状・大きさの複数の錐体を形成することができる。

【0017】更に、本発明において、例えばシリコン材料基板又は層に対して所定量の酸素を導入するとともに、シリコンより酸素と結合しやすいボロンイオンなどを導入する方法も適用でき、これによりマイクロマスクをより確実に形成することが可能となる。

【0018】

【発明の好適な実施の形態】以下、本発明の好適な実施の形態（以下、実施形態という）について図面を参照して説明する。

【0019】【実施形態1】本発明の錐体は、半導体材料基板内又は所定半導体材料層内の特定領域に不純物析出領域を作製し、これをマイクロマスクとして高選択比異方性エッティングを施すことで、エッティング露出面にマイクロマスクを頂点として形成することができる。この錐体は、円錐の他、橢円錐や多角錐としても作成されるものである。

【0020】図3は、このような錐体の製造方法の一例を示している。なお、以下においては、半導体材料基板としてシリコン基板を用い、このシリコン基板中に、不純物として酸素を導入し酸素析出領域（析出欠陥）を形成する場合を例に挙げて説明する。

【0021】使用するシリコン基板10が酸素を高濃度に含有していると、その酸素自身が析出してマイクロマスクとなってしまう。従って、本実施形態においては、低酸素濃度基板（例えば、酸素濃度 $10^{10}/\text{cm}^3$ ）を用いている。

【0022】このような低酸素濃度のシリコン基板10を洗浄した後（図3（a））、シリコン基板10の表面にフォトリソグラフィによりレジストパターンを形成し、レジスト12の開口部に例えばイオン注入法によって不純物として酸素イオンを基板10の所定深さに注入する（図3（b））。

【0023】酸素イオン導入後、レジスト12を除去し、基板10に対し、所定条件下で（例えば、600°C～1100°Cの温度、酸化性又は非酸化性雰囲気）、熱処理を行う。これにより、レジスト12の開口領域の所定深さに、酸素析出欠陥（ SiO_2 ）、つまり酸素析出領域14が形成される（図3（c））。

【0024】熱処理が施された基板10には、酸化性雰囲気で熱処理を行った場合には SiO_2 膜が形成され、また非酸化性雰囲気で熱処理を行った場合にも、その表面に酸化膜が形成されており、酸化膜があるとこれがマスクになって異方性エッティングが進まない。そこで、まずこの酸化膜を除去する。そして、その後、高選択比の異方性エッティング、例えばRIE（reactive ion etching）を行う。この異方性エッティングを所定深さまで行うことにより、シリコン基板10のエッティング露出面には、図3（d）に示すように、エッティング量に応じた高

さの円錐16が酸素析出領域14を頂点として形成される。なお、マイクロマスクの形状等の条件によって円錐に限らず、錐体として、楕円錐やその他多角錐も同じようにして形成することが可能である。

【0025】ここで、上記異方性エッティングでは、エッティング装置内に、別途ガス供給装置からエッティングガスを供給してエッティングを行うが、エッティングガスとしては、例えば、シリコン基板中の酸素析出物に対し、一般的なマグネットロンRIE装置を用いてエッティングを行う場合に、ハロゲン系混合ガス（例えば、HBr/NF₃ /He+O₂ 混合ガス）を用いることが好適である。このハロゲン系のエッティングガスは、シリコン中の酸素析出領域（析出欠陥）に対し、そのエッティング選択比がF、CI、Brの順で選択比が高くなる。従って、この異方性エッティングによって円錐を確実に形成するためには、Br系ガスが最も好ましく、以下CI、Fの順となる。なお、RIEを施すことによって円錐の側壁には反応生成物などからなる保護膜が付着し、円錐形状維持に寄与すると考えられているが、この保護膜は異方性エッティング実行後、基板10を例えば希フッ酸に浸すことによって除去することができる。但し、この側壁保護膜除去工程は必ずしも必要ではなく、省略しても良い。

【0026】以上のようにしてシリコン基板上に形成される円錐は、例えば、アスペクト比は10程度或いはそれ以上で、先端の直径10nm～30nm（曲率半径数nm～十数nm程度）、円錐の底角が80°以上、例えば85°などの値を示し、また高さが数μmの鋭く高アスペクト比の円錐を得ることができる。また、円錐の底面付近の直径は例えば0.5μm程度と非常に小さい。

【0027】図4は、シリコン基板に形成された酸素析出領域をマイクロマスクとして異方性エッティングして得られた円錐のSEM写真である。なお、図4の円錐は、具体的には、以下のようないくつかの条件で形成している。まず、シリコン基板としては含有酸素濃度が1.6×10¹⁸ cm⁻³のCZ基板を用い、このCZ基板を1000°C、酸素雰囲気で220分間熱処理して、CZ基板中にマイクロマスクとなる酸素析出領域（SiO₂）を形成している。更に、この基板に対し、一般的なマグネットロンRIE装置を用い、HBr/NF₃ /He+O₂ 混合ガスを用いてシリコン基板を高選択比異方性エッティングした。マイクロマスクを頂点として基板上には複数の円錐が形成されるがその一つが図4（a）に示す円錐であり、図よりその円錐底角は約85°、円錐のアスペクト比（円錐の底面直径と円錐高さの比）は10以上であることがわかる。また、図4（b）は、図4（a）の円錐先端を拡大した写真であるが、この写真から円錐の先端曲率半径が十数nm程度であることが分かる。

【0028】従って、図4から明らかなように、酸素析出領域をマイクロマスクとして異方性エッティングを行うことで、従来提案されていた方法では実現できない先端

曲率が小さくかつアスペクト比の大きい円錐を実際に形成できることがわかる。

【0029】（円錐形成のための条件）以下、上述のような円錐16を形成するための条件について説明する。

【0030】(i)マイクロマスクの形成密度制御及び大きさ制御

図5は、シリコン基板の含有酸素濃度と形成されるSi円錐密度との関係を示している。なお、図5は、含有酸素濃度の異なるCZシリコン基板に対し、上記図4の説明で示した条件と同じ条件で高選択比異方性エッティングを行った場合に得られたSi円錐の密度の測定結果である。この測定結果から、マイクロマスクの原料となる酸素の量が多いと、基板内に形成されるSi円錐の密度が高くなり、基板に導入する酸素量を制御することでSi円錐の元となるマイクロマスク（酸素析出物：SiO₂）の密度を制御できることがわかる。

【0031】図6は、含有酸素濃度1.1×10¹⁸ cm⁻³のCZ基板に対し、酸素析出のための熱処理を行う前に、Bイオン注入を行った場合に得られるSi円錐密度のBイオン注入依存性を示す光学顕微鏡写真である。

【0032】図6（a）に示す写真は、Bイオンの注入濃度を7×10¹³ cm⁻²とした場合に得られた異方性エッティング後のCZ基板表面を示している。エッティング後、得られた基板表面にはSi円錐の存在は認められない。また、Bイオンの注入を行わなかった場合も同じ結果が得られた。従って、Bイオンの注入濃度が7×10¹³ cm⁻²以下の場合には、酸素含有濃度が1.1×10¹⁸ cm⁻³のCZ基板であってもSi円錐が形成されないことが分かる。

【0033】これに対し、Bイオンの注入濃度を1×10¹⁴ cm⁻²とした場合には、図6（b）において示す異方性エッティング後のCZ基板表面から分かるように、表面には黒い点としてSi円錐の存在が認められる。このことから、酸素を基板に導入するだけでなく、熱処理前に少なくとも7×10¹³ cm⁻²より多くBイオンを注入して熱処理することが好適なことが分かる。なお、上述の図5の測定結果は、Bイオンを1×10¹⁴ cm⁻²注入した場合の結果である。

【0034】現在のところ、Bイオン注入によりマイクロマスクが発生しやすくなるのは、BはSiよりOと結合しやすく、このBイオンがシリコン結晶中に供給されるとB-O結合がシリコン結晶中に形成され、このB-O結合の微小クラスタが核となって、Si-O結合が形成されるためであると考えている。

【0035】マイクロマスクの大きさ、つまり不純物析出領域の大きさは、熱処理条件と上記のような導入酸素量（Bイオン注入量も含む）条件を調整することにより制御することができる。ここで、熱処理条件は、例えば温度600°C～1100°C、10分～5時間程度で、酸

化性又は非酸化性雰囲気で処理することが好適であるが、同一処理時間で、処理温度を高く設定すればマイクロマスク面積、つまり酸素析出領域面積は大きくなり、反対に同一処理温度でより処理時間を長くすると酸素析出領域面積は大きくなる。

【0036】以上のように、本発明の錐体を形成するために用いるマイクロマスクとなる不純物析出領域は、その密度について、半導体材料中に導入する不純物濃度と、Bイオン導入によって制御できる。また該不純物析出領域の大きさは、不純物濃度及びBイオン濃度の制御と、熱処理条件との組合せによって制御することができる。

【0037】(ii)マイクロマスクの位置制御

次に、マイクロマスクとなる不純物析出領域の位置制御について説明する。本発明に係る錐体は、異方性エッチング条件を同じに設定すると、複数のマイクロマスクを頂点として複数の錐体（例えば円錐）を形成した場合、各円錐は相似形で、円錐の高さは、マイクロマスクの形成位置からエッチング露出面までの距離にほぼ一致する。よって、均一で高さの等しい同一形状の円錐を複数同一半導体基板又は半導体層中に形成するためには、これら基板又は層中に形成するマイクロマスクの深さを制御する必要がある。

【0038】マイクロマスクの深さ方向の制御に関しては、以下のような2つの方法が考えられる。第1の方法は、上記図3のSi円錐形成工程において例示したように、例えばイオン注入法によって不純物を導入する方法である。イオン注入法では、その注入エネルギー等を制御することで、導入される不純物の深さを制御できるからである。第2の方法は、錐体（例えば円錐）を形成する部分のシリコン結晶領域をエピタキシャル成長させ、マイクロマスクとなるSiO₂を形成したい位置で、雰囲気ガスに不純物ガス（例えば酸素ガス）等を導入しながらエピタキシャル成長を行う方法である。

【0039】マイクロマスクの平面方向の制御に関しては、例えばフォトリソグラフィにより、錐体形成領域のみ開口したマスク（例えばレジストマスク）を半導体基板又は半導体層上に形成し、マスク開口部にイオン注入等により不純物を導入すれば、所定平面位置にマイクロマスクを形成できる。また、エピタキシャル成長の際に不純物を導入する場合にも、錐体形成領域にのみ選択的にエピタキシャル成長による半導体材料層を形成すればよい。これは、例えば円錐形成領域以外の領域は予めマスクで覆う方法により実現できる。また、基板全面にエピタキシャル成長層（不純物ガス導入工程有り）を形成した後、熱処理する前に上記錐体形成領域以外の領域をエッチング除去する、或いは熱処理後であれば、上記錐体形成領域以外の領域を異方性エッチング以外のエッチング方法で除去するなどの方法によって実現できる。

【0040】(iii)錐体のアスペクト比の制御

マイクロマスクを用い、上述のように半導体基板又は半導体材料をRIEによって異方性エッチングすると、形成される錐体の側面には、反応生成物が付着する。異方性エッチング中においては、錐体側面に付着する反応生成物が保護膜となって錐体（例えば円錐）形状維持に寄与し、更に、この側壁に付着する保護膜量に応じて錐体の形状（錐体のアスペクト比）が制御される。そして、この側壁保護膜量は、上記エッチング混合ガスのうち、エッチングガス（例えばNF₃）と、堆積用ガス（例えばHBrガス）の混合比を変更することで制御できる。具体的にはエッチングガス比率を増やせば、錐体はより細く尖った高アスペクト比となり、反対に堆積用ガス比率を増やせば錐体のアスペクト比は低くなる。

【0041】従って、異方性エッチングに用いる混合ガスの割合を調整して、反応生成物の量の制御や反応生成物の錐体への吸着量を制御することで、錐体のアスペクト比を制御することができる。

【0042】以上本実施形態1においては半導体材料基板としてシリコン基板を用いた場合を例に挙げているが、これに限らずシリコン以外の他の材料基板でもよい。また、半導体材料層としては、半導体或いは絶縁体基板上に形成された単結晶シリコン層又はその他の材料層でもよい。また、マイクロマスクは、Si材料中の酸素析出物(SiO₂)に限らず、エッチングガス及びエッチング条件を材料に応じて適切なものとすることで、Si材料中の窒素析出物(SiN)、炭素析出物(SiC)であってもよい。なお、この場合、析出物SiN、SiCに対するエッチング材料としては、上記SiO₂の場合と同様に異方性エッチングのエッチングガスとしてフッ素系のガスを用いることが可能である。そして、これらSiN、SiCに対して例えばフッ素系ガス材料を用いて異方性エッチングすることで、これら頂点とした錐体（例えば円錐）を形成することができる。また、SiO₂材料中のSiは、主成分SiO₂と異なるエッチングレートを有する不純物と考えることができ、これをマイクロマスクとして錐体を形成することもできる。更に、SiN材料中のSi、或いはSiC材料中のSiをそれぞれマイクロマスクとして錐体を形成することも可能である。

【0043】[実施形態2] 次に、上述のような方法によって得られた本発明に係る錐体（例えば円錐）を半導体デバイス、例えば電界電子放出素子或いは電子銃に利用する場合の製造工程について図7を用いて説明する。なお、図7に示す工程は、上記図3の工程に統いて行われるものである。

【0044】実施形態1のようにしてシリコン基板10上に円錐16を形成しつつ側壁保護膜を除去した後（図3(d)）、図7(a)のように絶縁層としてSi円錐16を埋めるようにSiO₂層18を形成する。本実施形態2では、次工程でこのSiO₂層18上に例えばゲ

ート電極として多結晶シリコン（p o l y-S i）膜を形成するため、このp o l y-S iをパターニングする際にS i円錐16の先端がエッティングされてしまわないよう、積層するS iO₂層18の厚さは、S i円錐16の高さより厚く、例えばS i円錐16の厚さ+10nm程度の厚さに形成する。

【0045】S iO₂層18をシリコン基板10を所定厚さに形成した後、S iO₂層18上にp o l y-S i膜を形成する。更にこのp o l y-S i膜の全面にレジストを形成し、フォトリソグラフィによりS i円錐16の形成領域上が開口したレジストパターンを形成する。このレジストパターンをマスクとしてRIEを行うことで、レジスト開口部、つまりS i円錐形成領域上にあるp o l y-S i膜が除去され、ゲート電極20が得られる（図7（b））。

【0046】次に、ゲート電極20を形成するために用いたレジストを除去し、ゲート電極20の開口部に露出したS iO₂層18をRIEによってエッティングする。これにより、ゲート電極20の開口部には、基板と同一材質のS i単結晶からなるS i円錐16が露出する。

【0047】ここで、実施形態1の酸素析出領域形成工程において（図3（b）参照）、基板10内の複数箇所の一定深さに複数の酸素析出領域を形成しておくことで、基板10上には、複数箇所に同一形状の円錐16が形成される。そして、このような複数の円錐16が形成された基板に対して、上記図7に示すような工程処理が施されることで、図8（a）に示されるような複数のゲート電極開口領域においてS i円錐16が露出した構造体30が得られる。

【0048】また、このような構造体30に向き合うように、例えばRGBの蛍光材料層40の形成されたガラスなどからなる基板42を配置すれば、構造体30を電界電子放出素子又は微細電子銃等として用いた装置、例えばカラー平面ディスプレイ（FED）などを構成することができる。なお、このような構成において、所定位置のゲート電極20に所定の駆動電圧を印加してS i円錐16の先端より電子（e⁻）を放出されれば、対応する領域の蛍光材料層40を発光させることができ、所望の表示が行われることとなる。

【0049】更に、上記構造体30は、図8（a）のような構造に限られず、図8（b）に示すように1つのゲート電極開口部領域に複数のS i円錐16が形成されていてもよい。図8（b）に示すような構造体30は、析出領域形成時に導入する不純物濃度や、熱処理条件等をすることで、単位面積当たりに形成されるマイクロマスク数を制御することで実現され、各ゲート電極開口領域に形成される円錐数を等しくできる。

【0050】なお、本発明の錐体は、上記実施形態2で例示したようなフィールドエミッタ等に限らず、その他

高周波のスイッチングデバイスや、量子効果デバイス、或いは走査型顕微鏡の探針等などとして利用することも可能である。

【0051】

【発明の効果】以上示したように、本発明の半導体装置又はその製造方法によれば、極めて鋭く細い錐体を形成することが可能となる。この錐体は、基板中などにマイクロマスクとなる析出領域を形成し異方性エッティングを行うことでこのマイクロマスクを頂点として形成されるため、例えばフォトリソグラフィなどの露光解像度の限界よりさらに小さいサイズの円錐等の錐体も容易に作製することが可能となる。

【0052】また、本発明のような錐体を各種半導体装置に利用すれば、例えば錐体の先端と所定の駆動電極などとの間の寄生容量を小さくでき、高周波スイッチングデバイス等に利用した場合には、スイッチングの高速化を図ることができる。また本発明の錐体は先端が細いだけでなくアスペクト比が大きく錐体の底面を非常に小さく形成できるため、より多くの錐体を単位面積中に形成することができ、デバイスの高集積化にも非常に有利である。更に、錐体の先端より電子を放出させる場合には、錐体先端が非常に細いことから電子の放出が起こりやすく、電子放出素子として利用する際に、駆動電圧を低くすることも可能となる。

【図面の簡単な説明】

【図1】 本発明の錐体形成原理を模式的に示す図である。

【図2】 本発明で得られる錐体及び従来の突起を示す図である。

【図3】 本発明に係る錐体として例えば円錐の作製方法を説明するための図である。

【図4】 本発明に係る高選択異方性エッティングによって得られる円錐の顕微鏡写真を示す図である。

【図5】 本発明の実施形態に係るS i円錐の形成密度と基板酸素濃度との関係を示す図である。

【図6】 本発明の実施形態に係るBイオン注入濃度と高選択異方性エッティングによって得られるS i円錐の密度との関係を説明するための顕微鏡写真を示す図である。

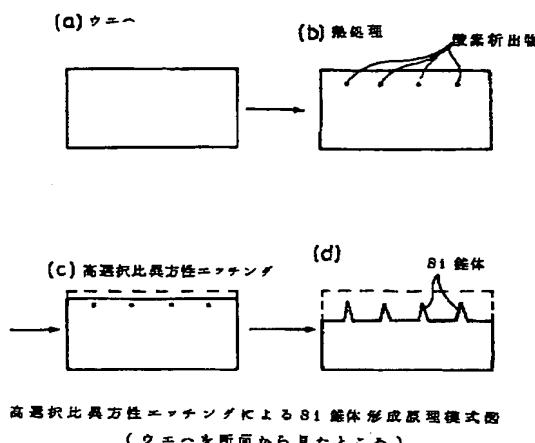
【図7】 本発明の錐体を用いた半導体装置の作製方法を説明するための図である。

【図8】 本発明の実施形態に係る半導体装置の構成を説明するための図である。

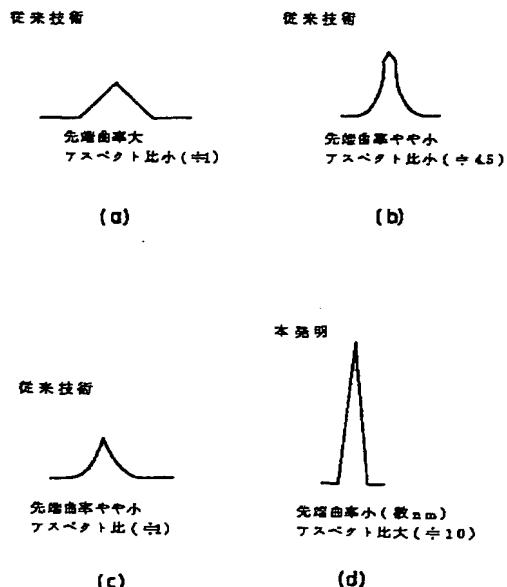
【符号の説明】

10 基板（S i基板）、12 レジスト、14 酸素析出物、16 円錐、18 S iO₂層、20 ゲート電極、30 構造体、40 蛍光材料層、42 基板（ガラス基板）。

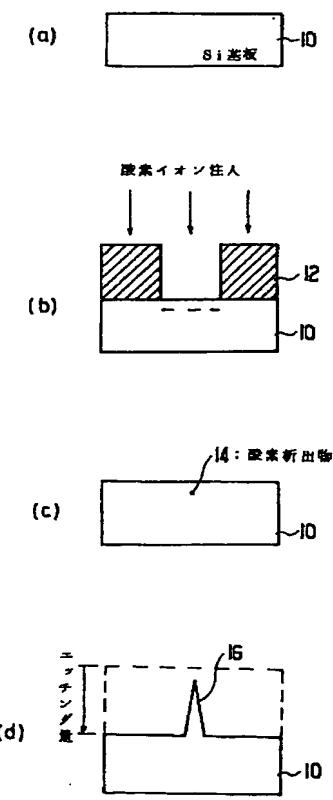
【図1】



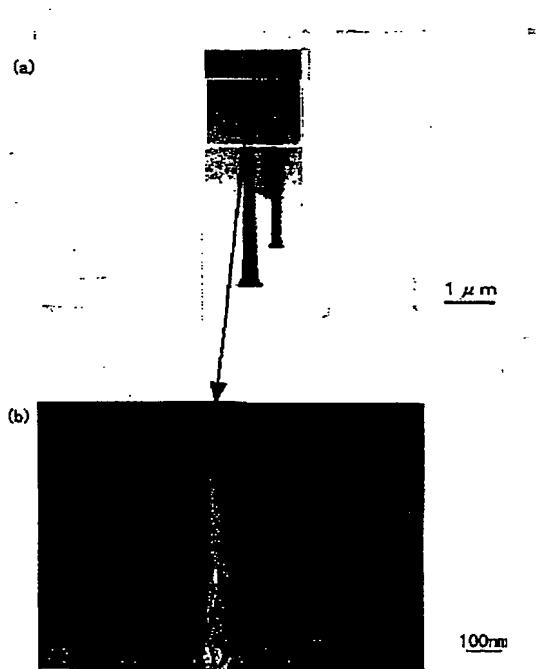
【図2】



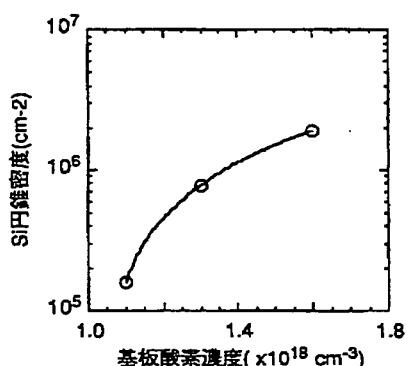
【図3】



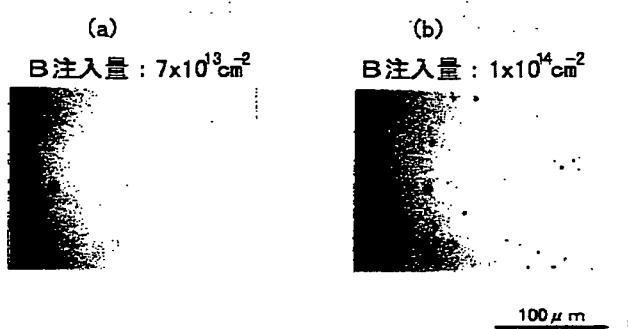
【図4】



【図5】



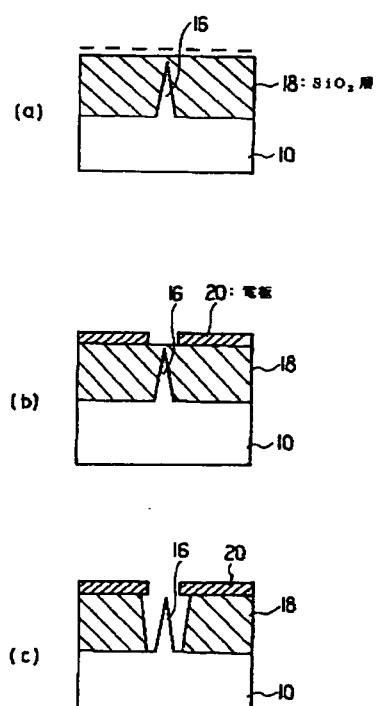
【図6】



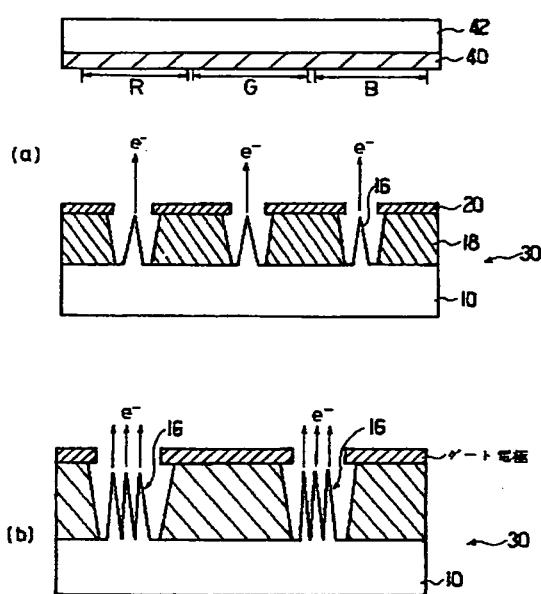
Si錐密度の基板酸素濃度依存性

(本データは図5のBイオン注入量 $1 \times 10^{14} \text{ cm}^{-2}$ における結果である)

【図7】



【図8】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

マークコード* (参考)

H O 1 L 21/3065

H O 1 J 1/30

F

// G O 1 N 13/12

H O 1 L 21/302

J

H O 1 L 21/265

21/265

W

(72)発明者 光嶋 康一
愛知県愛知郡長久手町大字長湫字横道41番
地の1 株式会社豊田中央研究所内